

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Tung et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: February 27, 2004

Docket No. 251613-1020

For: **Method of Fabricating a MOSFET Device**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

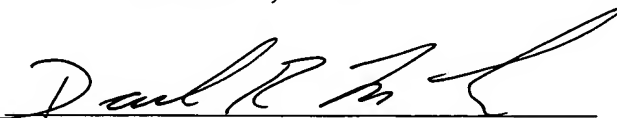
Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Method of Fabricating a MOSFET Device", filed November 18, 2003, and assigned serial number 92132342. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

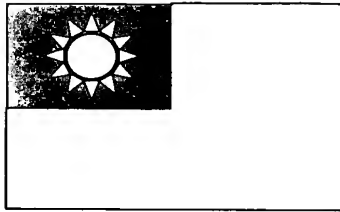
**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By:



Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 18 日
Application Date

申請案號：092132342
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2004 年 1 月 6 日
Issue Date

發文字號：09320016710
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

金氧半導體電晶體元件的製造方法

Method of Fabricating a MOSFET Device

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

茂德科技股份有限公司

ProMOS Technologies Inc.

代表人：(中文/英文) 胡 洪 九 HU, HUNGCHIU

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路 19 號 3 樓

3F, NO. 19, LI HSIN RD., SCIENCE-BASED INDUSTRIAL PARK, HSINCHU

國 籍：(中文/英文) 中華民國 R.O.C.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 董明聖 TUNG, MINGSHENG

2. 李岳川 LEE, YUEHCHUAN

3. 葉芳裕 YEH, FANGYU

4. 林騏 LIN, CHI

住居所地址：(中文/英文)

1. 新竹縣新竹市建中路 59 號 9 樓之二

9F-2, NO. 59, JIAN JHONG RD., HSINCHU HSIEN

2. 南投縣中興新村光榮北路四街 30 號

NO. 30, 4TH ST., KUANG JUNG N. RD., NAN TOU HSIEN

3. 桃園縣桃園市瑞慶路 389 之 1 號 15 樓

15F, NO. 389-1, RAY CHING RD., TAOYUAN HSIEN

4. 台北市民生東路四段 80 巷 11 弄 9 號 6 樓

6F, NO. 9, ALLEY 11, LANE 80, SEC. 4, MIN SHENG E. RD., TAIPEI CITY

國 籍：(中文/英文)

1. 中華民國 R.O.C.

2. 中華民國 R.O.C.

3. 中華民國 R.O.C.

4. 中華民國 R.O.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要

先以閘極與襯層為罩幕進行一離子佈植，在閘極兩側之基材中形成源極/汲極。然後蝕刻此襯層使其厚度減少，再進行另一離子佈植以在源極/汲極輪廓之外圍形成環摻雜區。此包圍源極/汲極的環摻雜區較靠近通道區且與源極/汲極重疊較少，因此，可同時維持穩定的元件啟始電壓並達到降低接面漏電流的目的。

陸、英文發明摘要

Ions are implanted into a substrate, using a gate and its sidewall liner on the substrate as the mask, to form source/drain in the substrate beneath the liner and adjacent to the two sides of the gate. The liner is etched to reduce its thickness. Then, ions are implanted into the substrate to form a halo doped region surrounding the source/drain. The halo doped region is closer to the MOSFET channel region and less overlapped with the source/drain. Therefore, the device threshold voltage can be sustained and the junction leakage can also be minimized.

柒、(一)、本案指定代表圖為：第 4B 圖

(二)、本代表圖之元件代表符號簡單說明：

300：基材

310：閘極

320：閘介電層

330：導體層

332：多晶矽層

334：矽化金屬層

336：頂蓋層

340：襯層

350：源極/汲極

360：環摻雜區域

362：靠近通道的環摻雜區域

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明

【發明所屬之技術領域】

本發明是有關於積體電路的製造方法，且特別是有關於一種金氧半導體電晶體元件的製造方法。

【先前技術】

當元件的積集度不斷地增加時，金氧半導體電晶體 (metal-oxide-semiconductor field effect transistor ; MOSFET) 元件的尺寸也必須不斷地縮小。當元件尺寸愈小，金氧半導體電晶體之通道長度 (channel length)，亦即閘極 (gate) 長度，也隨之縮短。但是，當通道長度縮短到一定程度後，會衍生許多的問題。這個現象被稱為短通道效應 (short channel effect)。

當金氧半導體電晶體在操作時，源極 (source) 和汲極 (drain) 因與基材 (substrate) 逆向偏壓所產生的空乏區 (depletion region) 會與通道發生重疊，使得有效通道長度比原本設計的長度更短。在短通道效應之下，通道與空乏區產生重疊的比例很高。此時由於部分通道被源極和汲極的空乏區所共享，因而造成金氧半導體電晶體的啟始電壓 (threshold voltage, V_t) 隨通道長度縮小而急速下降 (V_t roll-off)，因而產生次啟始漏電 (sub-threshold leakage)。另一個問題是，因電擊穿 (punch through) 效應所導致的經由通道下方的漏電途徑。這是由於當通道長度縮小時，源極和汲極所產生的空乏區互相短路而發生。

為了改善以上所述短通道效應所衍生的問題，在習知的半導體製程於製造金氧半導體電晶體時，經常在源極/汲極延伸區的下方形成與基材之摻雜類型(可為 P 型或 N 型)相同，但摻雜濃度較高的一區域。此區域一般簡稱為環摻雜區域(halo)或袋狀(pocket)區域。形成環摻雜區域的製程稱為環摻雜區域佈植(halo implantation)。進行環摻雜區域佈植的其中一種方式為以斜角度佈植的方式。此環摻雜區域對源極/汲極的電場有遮蔽的效果，可有效改善短通道效應。

然而，習知的半導體製程中進行環摻雜區域佈植的方式具有缺點。第 1 圖係為具有源極/汲極與環摻雜區域之 N 型金氧半導體電晶體的結構剖面圖。請參照第 1 圖，此結構中在一 P 型基材 100 上有一閘極 110。此閘極 110 包括一閘介電層(gate dielectric layer)120、一導體層 130 及一頂蓋層(cap layer)136。此導體層 130 具有一多晶矽層 132 與一矽化金屬層 134。此閘極 110 係利用一微影蝕刻製程而定義出。

形成此閘極 110 後，一襯層(liner)140 形成於此導體層 130 的側壁。接著以此閘極 110 與此襯層 140 為罩幕進行一 P 型離子佈植，以在此閘極 110 外側之此基材 100 中形成一 P 型環摻雜區域 160。然後再以此閘極 110 與此襯層 140 為罩幕進行一 N 型離子佈植，以在此閘極 110 外側之此基材 100 中形成一 N 型源極/汲極 150。

第 2 圖係為對第 1 圖中 N 型金氧半導體電晶體結構

進行襯層蝕刻後之結構剖面圖。請參照第 2 圖，蝕刻此襯層 140 之後，此襯層 140 的厚度減小。接著，在此閘極 110 與此襯層 140 兩側形成間隙壁(spacer，未繪示)之後，將會沉積介電層(未繪示，例如氧化矽)於上述結構之上。所以蝕刻此襯層 140 的目的在於降低相鄰閘極間的深寬比(aspect ratio)，以增大介電層填入能力及後續接觸窗(contact window)蝕刻的製程窗(process window)。

由第 1、2 圖可知，由於此襯層 140 作為兩次離子佈植時的罩幕，且蝕刻此襯層 140 係於離子佈植製程之後才進行，以致於 N 型源極/汲極 150 與 P 型環摻雜區域 160 在基材 100 中的界限係由原本尚未受蝕刻的此襯層 140 所定義。所以靠近通道的 P 型環摻雜區域 162 較小而無法理想地包圍 N 型源極/汲極 150，如第 2 圖所示。這個缺點使短通道效應的問題，包括過高的次啟始漏電及過低的啟始電壓，不能有效改善。要得到更好的改善可以將 P 型環摻雜區域 160 的摻雜濃度提高，但是如此做法又會使 N 型源極/汲極 150 與 P 型環摻雜區域 160 或 P 型基材 100 之間的接面漏電(junction leakage)增加，所以也不是好的解決方法。

根據以上所述，有需要發展新的製造方法，以改善短通道效應的問題，進而增進金氧半導體電晶體之操作效能。

【發明內容】

因此本發明的目的就是在提供一種金氧半導體電晶體元件的製造方法，用以使環摻雜區域更理想地包圍源極/汲極而改善短通道效應的問題。

根據本發明之上述目的，提出一種金氧半導體電晶體元件的製造方法。此方法的步驟如下所述。在一基材上形成一閘極，其中此閘極包括一閘介電層及一導體層。接著在此閘極的側壁上形成一襯層。再以此閘極與此襯層為罩幕進行一第一型離子佈植，以在此閘極外側之此基材中形成源極/汲極。接下來蝕刻此襯層，以使此襯層的厚度減小。最後進行一第二型離子佈植，以在源極/汲極的周圍形成一環摻雜區域。

由於蝕刻此襯層係於環摻雜區域離子佈植製程之前進行，所以環摻雜區域在基材中的界限係由已受蝕刻的此襯層所定義。因此靠近通道的環摻雜區域較大而可以理想地包圍源極/汲極。所以可使次啟始漏電降低、因電擊穿效應所導致的漏電也可降低、以及啟始電壓可以維持穩定。此外，環摻雜區域可使用較低的摻雜濃度就可以達到習知技術所達到的啟始電壓，並且使源極/汲極與環摻雜區域或基材之間的接面漏電降低。

【實施方式】

本發明的金氧半導體電晶體元件的製造方法可適用於製造各種不同產品應用中的金氧半導體電晶體。

以下敘述本發明的第一實施例。第 3 圖係為依照本發明較佳實施例的具有源極/汲極之 N 型金氧半導體電晶體的結構剖面圖。第 4A 圖係為對第 3 圖中 N 型金氧半導體電晶體結構進行兩側襯層蝕刻與環摻雜區域佈植後之結構剖面圖。在以下的敘述中，為了清楚之目的，同一數字被用來標示第 3、4A 圖中實質上同一或近似的元件。然而須理解的是，經過各種不同製程步驟之後，同一或近似的元件可能不再實質上近似或保持不變。

形成第 3 圖中結構的製程方式如下所述。先在一基材 300(例如是 P 型半導體基材)上以例如熱氧化法形成一閘介電層 320，此閘介電層 320 的材質例如為氧化矽。接著在此閘介電層 320 上形成一導體層 330，例如以化學氣相沉積 (Chemical Vapor Deposition, CVD) 的方式沉積一多晶矽層 332；亦可選擇再於此多晶矽層 332 之表面上以例如化學氣相沉積的方式沉積一矽化金屬層 334。在此實施例中，此矽化金屬層 334 的材質為矽化鎢。此多晶矽層 332 與此矽化金屬層 334 可以合稱為導體層 330，且這種導體層 330 又稱為多晶矽化金屬 (polycide) 層。另應用於不同元件的製程時，亦可選擇於導體層 330 上形成一頂蓋層 336，此頂蓋層 336 例如是一氮化矽或氮氧化矽層。之後，對閘介電層 320 與導體層 330(及頂蓋層 336)進行一微影蝕刻製程以形成一閘極 310 堆疊結構。

然後形成一襯層 340 於此閘極 310 的側壁。形成此

襯層 340 的方式例如是以快速熱氧化法(rapid thermal oxidation)。此襯層 340 的材質例如為氧化矽。

形成此襯層 340 後，接著以此閘極 310 與此襯層 340 為罩幕進行一第一型離子(例如是 N 型磷或砷離子)佈植，以在此閘極 310 外側之此基材 300 中形成一源極/汲極 350。

請參照第 4A 圖，接下來蝕刻此襯層 340，以使此襯層 340 的厚度減小。接著，再以此閘極 310 與厚度減小的此襯層 340 為罩幕進行一第二型離子(例如是 P 型硼離子)佈植，以在源極/汲極 350 的周圍形成一環摻雜區域 360。至此已形成第 4A 圖中的結構。由上述本發明較佳實施例可知，應用本發明具有下列優點。如第 4A 圖所示，由於蝕刻此襯層 340 係於環摻雜區域 360 離子佈植製程之前進行，所以環摻雜區域 360 在基材 300 中的界線係由已受蝕刻的此襯層 340 所定義。因此靠近通道的環摻雜區域 362 較大而可以理想地包圍源極/汲極 350。因為環摻雜區域 360 可以理想地包圍源極/汲極 350，所以可使次啟始漏電降低、因電擊穿效應所導致的漏電也可降低、以及啟始電壓可以維持穩定。此外，環摻雜區域 360 可使用較低的摻雜濃度就可以達到習知技術所達到的啟始電壓，同時也使源極/汲極 350 與環摻雜區域 360 或基材 300 之間的接面漏電降低。

完成上述製程之後，更包括在此閘極 310 與此襯層 340 兩側形成間隙壁(未繪示)，進行另一第一型離子

佈植，沉積介電層(例如是氧化矽)於上述結構之上，以及形成與此金氧半導體電晶體電性連接的接觸窗等製程。

以下敘述本發明的第二實施例。第 4B 圖係為對第 3 圖中 N 型金氧半導體電晶體結構進行單側襯層蝕刻與環摻雜區域佈植後之結構剖面圖。

請參照第 4B 圖，在完成第 3 圖的結構後，形成一罩幕層(未繪示)例如為光阻層，覆蓋住閘極 310 的一側。接下來蝕刻此閘極 310 另一側的襯層 340，以使此側的襯層 340 的厚度減小。接著，再以此閘極 310 與厚度減小的此襯層 340 為罩幕進行一第二型離子(例如是 P 型硼離子)佈植，以在被蝕刻之此側之源極/汲極 350 其中之一的周圍形成一環摻雜區域 360。至此已形成第 4B 圖中的結構。由上述本發明較佳實施例可知，應用本發明具有下列優點。如第 4B 圖所示，由於蝕刻此襯層 340 係於環摻雜區域 360 離子佈植製程之前進行，所以環摻雜區域 360 在基材 300 中的界線係由已受蝕刻的此襯層 340 所定義。因此靠近通道的環摻雜區域 362 較大而可以理想地包圍源極/汲極 350 其中之一。所以可使次啟始漏電降低、因電擊穿效應所導致的漏電也可降低、以及啟始電壓可以維持穩定。此外，環摻雜區域 360 可使用較低的摻雜濃度就可以達到習知技術所達到的啟始電壓，同時也使源極/汲極 350 其中之一與環摻雜區域 360 或基材 300 之間的接面漏電降低。

完成上述製程之後，更包括在此閘極 310 與此襯層 340 兩側形成間隙壁(未繪示)，進行另一第一型離子佈植，沉積介電層(未繪示，例如氧化矽)於上述結構之上，及形成與此金氧半導體電晶體電性連接的接觸窗等製程。

在第二實施例中所製造的金氧半導體電晶體可特別應用於記憶體如動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)中的記憶胞(memory cell)，以作為存取電晶體(access transistor)。此存取電晶體的閘極 310 連接到字元線(word line)，而具環摻雜區域 360 包圍的源極 350 連接到位元線(bit line)。此存取電晶體的汲極 350 則連接到一儲存(storage)電容器的一端。

由於具有以上的優點，本發明的製造方法能增進金氧半導體電晶體的操作效能。

須理解的是，只要使用 N 型基材、P 型源極/汲極與 N 型環摻雜區域，本發明之金氧半導體電晶體元件的製造方法同樣可用於製造 P 型金氧半導體電晶體。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明

顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1 圖係為具有源極/汲極與環摻雜區域之 N 型金氧半導體電晶體的結構剖面圖。

第 2 圖係為對第 1 圖中 N 型金氧半導體電晶體結構進行襯層蝕刻後之結構剖面圖。

第 3 圖係為依照本發明較佳實施例的具有源極/汲極之 N 型金氧半導體電晶體的結構剖面圖。

第 4A 圖係為對第 3 圖中 N 型金氧半導體電晶體結構進行兩側襯層蝕刻與環摻雜區域佈植後之結構剖面圖。

第 4B 圖係為對第 3 圖中 N 型金氧半導體電晶體結構進行單側襯層蝕刻與環摻雜區域佈植後之結構剖面圖。

【元件代表符號簡單說明】

100、300：基材	110、310：閘極
120、320：閘介電層	130、330：導體層
132、332：多晶矽層	134、334：矽化金屬層
136、336：頂蓋層	140、340：襯層
150、350：源極/汲極	160、360：環摻雜區域
162、362：靠近通道的環摻雜區域	

拾、申請專利範圍

1. 一種金氧半導體電晶體元件的製造方法，該方法至少包含：

在一基材上形成一閘極，其中該閘極包括一閘介電層及一導體層；

在該閘極的側壁上形成一襯層；

以該閘極與該襯層為罩幕進行一第一型離子佈植，以在該閘極外側之該基材中形成源極/汲極；

蝕刻該襯層，以使該襯層的厚度減小；以及

進行一第二型離子佈植，以在該源極/汲極的周圍形成一環摻雜區域。

2. 如申請專利範圍第 1 項所述之製造方法，其中該導體層包含一多晶矽層。

3. 如申請專利範圍第 2 項所述之製造方法，其中該導體層更包含一矽化金屬層在該多晶矽層之上。

4. 如申請專利範圍第 1 項所述之製造方法，其中在該閘極的側壁上形成該襯層的方法包含快速熱氧化法。

5. 如申請專利範圍第 1 項所述之製造方法，其中該第一型離子為 N 型離子，且該第二型離子為 P 型離子。

6. 如申請專利範圍第 1 項所述之製造方法，其中該第一型離子為 P 型離子，且該第二型離子為 N 型離子。

7. 如申請專利範圍第 1 項所述之製造方法，其中該閘極之上包括一頂蓋層。

8. 一種金氧半導體電晶體元件的製造方法，該方法至少包含：

在一基材上形成一閘極，其中該閘極包括一閘介電層及一導體層；在該閘極的側壁上形成一襯層；

以該閘極與該襯層為罩幕進行一第一型離子佈植，以在該閘極外側之該基材中形成源極/汲極；

蝕刻該閘極一側的該襯層，以使該側襯層的厚度減小；以及

進行一第二型離子佈植，以在被蝕刻之該側之該源極/汲極其中之一的周圍形成一環摻雜區域。

9. 如申請專利範圍第 8 項所述之製造方法，其中該導體層包含一多晶矽層。

10. 如申請專利範圍第 9 項所述之製造方法，其中該導體層更包含一矽化金屬層在該多晶矽層之上。

11. 如申請專利範圍第 8 項所述之製造方法，其中形成該襯層的方法包含快速熱氧化法。

12. 如申請專利範圍第 8 項所述之製造方法，其中該第一型離子為 N 型離子，且該第二型離子為 P 型離子。

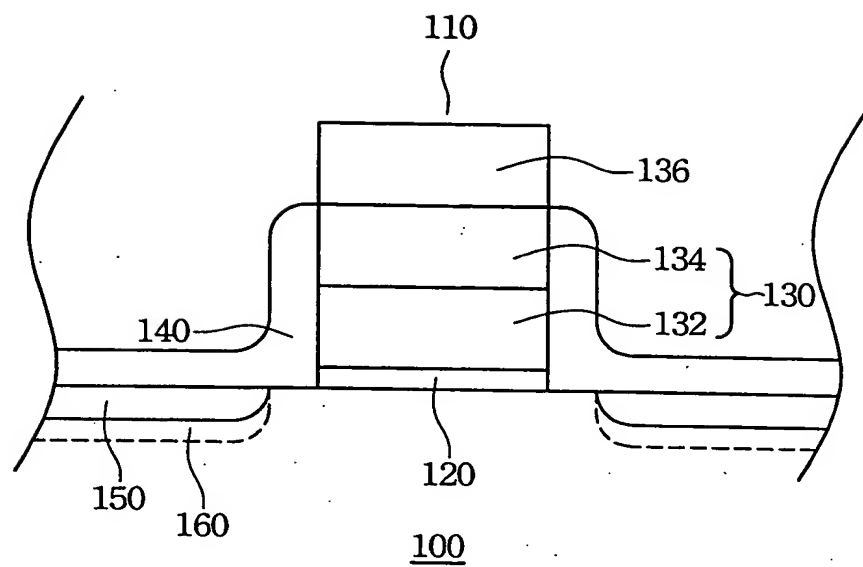
13. 如申請專利範圍第 8 項所述之製造方法，其中該第一型離子為 P 型離子，且該第二型離子為 N 型離子。

14. 如申請專利範圍第 8 項所述之製造方法，其中該閘極之上包括一頂蓋層。

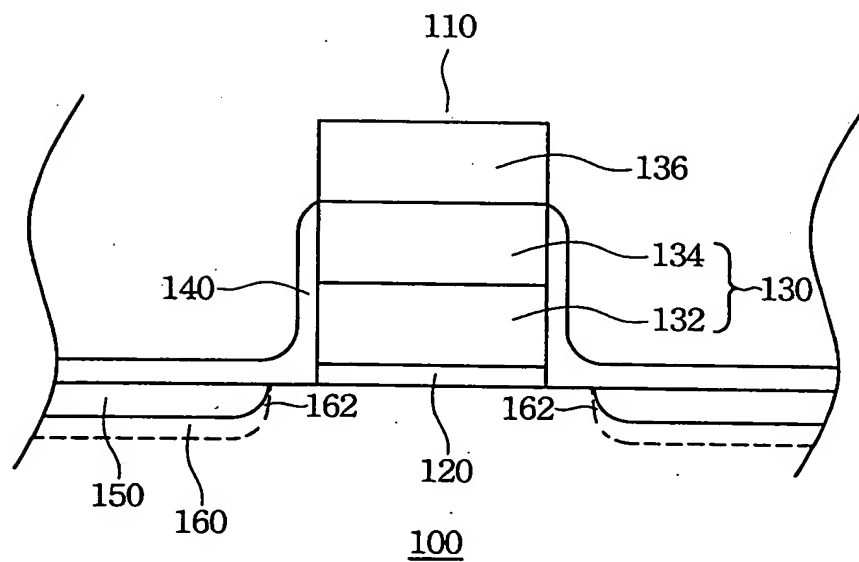
15. 如申請專利範圍第 8 項所述之製造方法，其中該金氧半導體電晶體元件係應用於記憶體中的一記憶胞，以作為一存取電晶體，且含有該環摻雜區域的該源極/汲極連接到一位元線。

16. 如申請專利範圍第 8 項所述之製造方法，其中在蝕刻該閘極一側的該襯層之前，更包括形成一罩幕層覆蓋住該閘極的另一側。

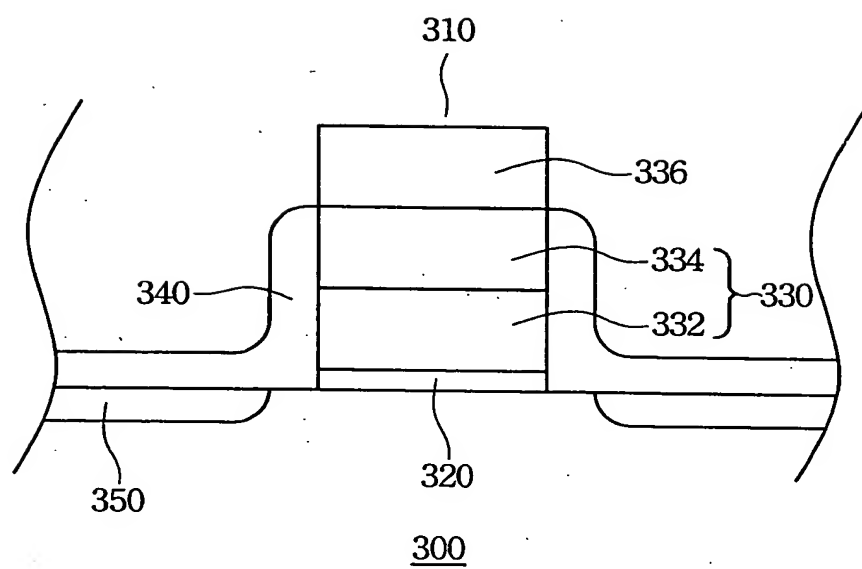
17. 如申請專利範圍第 16 項所述之製造方法，其中該罩幕層係為一光阻層。



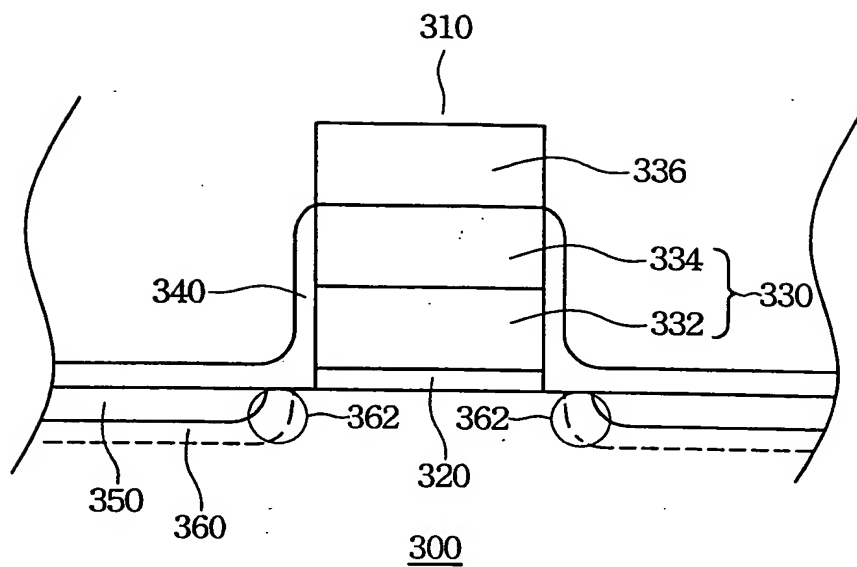
第 1 圖



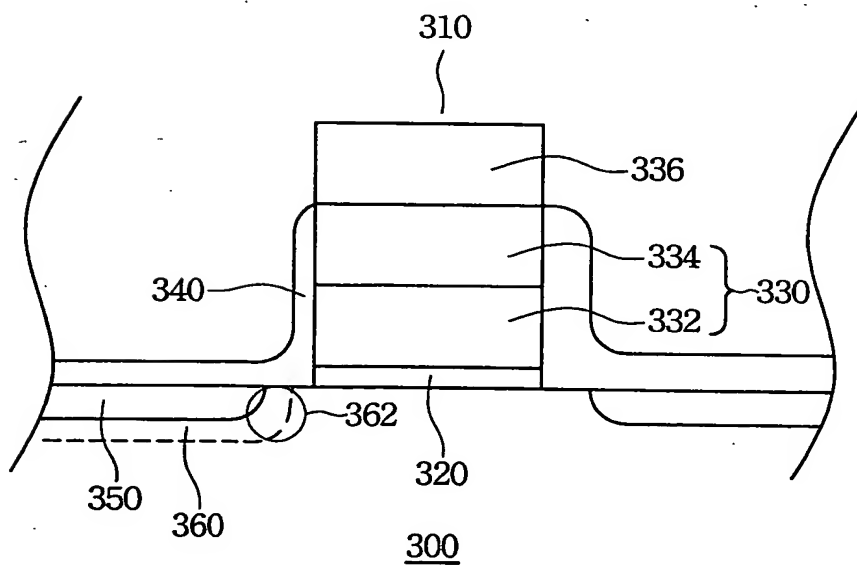
第 2 圖



第 3 圖



第 4A 圖



第 4B 圖